

⑰ 公開特許公報 (A) 昭61-94091

⑯ Int.Cl.
G 09 G 3/12

識別記号

府内整理番号
6615-5C

⑮ 公開 昭和61年(1986)5月12日

審査請求 未請求 発明の数 2 (全 10 頁)

⑯ 発明の名称 薄膜エレクトロルミネセンス駆動回路及びその駆動方法

⑰ 特願 昭59-216811

⑰ 出願 昭59(1984)10月16日

⑯ 発明者 若海 弘夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑯ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑯ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

薄膜エレクトロルミネセンス駆動回路及びその駆動方法

2. 特許請求の範囲

(1) 走査側駆動回路とデータ側駆動回路とを有し薄膜エレクトロルミネセンス表示装置の走査線及びデータ線を順次駆動するブッシュブル型の薄膜エレクトロルミネセンス駆動回路において、前記データ側駆動回路の駆動用電源回路が、第1の電源に縦続接続された一導電型のトランジスタをオンすることによりリフレッシュバルス用として前記第1の電源を供給する第1の電源供給手段と、前記第1の電源電圧よりも低い電源電圧を有する第2の電源と該第2の電源電圧よりも高いツエナー電圧を有するツエナーダイオード列との並列接続回路に接続された反対導電型のトランジスタをオンすることにより前記データ側駆動回路に前記第2の電源を供給する第2の電源供給手段とのO.R接続回路から成る薄膜エレクトロルミネセンス駆

記データ側駆動回路に前記第2の電源を供給する第2の電源供給手段とのO.R接続回路から成ることを特徴とする薄膜エレクトロルミネセンス駆動回路。

(2) 走査側駆動回路とデータ側駆動回路とを有し薄膜エレクトロルミネセンス表示装置の走査線及びデータ線を順次駆動するブッシュブル型の薄膜エレクトロルミネセンス駆動回路において、前記データ側駆動回路の駆動用電源回路が、第1の電源に縦続接続された一導電型の第1のトランジスタをオンすることによりリフレッシュバルス用として前記第1の電源を供給する第1の電源供給手段と、前記第1の電源電圧よりも低い電源電圧を有する第2の電源と該第2の電源電圧よりも高いツエナー電圧を有するツエナーダイオード列との並列接続回路に接続された反対導電型の第2のトランジスタをオンすることにより前記データ側駆動回路に前記第2の電源を供給する第2の電源供給手段とのO.R接続回路から成る薄膜エレクトロルミネセンス駆

動回路の駆動方法であって、リフレッシュパルスをすべての前記データ線に供給するための期間ではリフレッシュパルスの幅よりもやや広い期間内で前記第1のトランジスタをオン状態にし続け、選択的に前記データ線を順次駆動する期間では前記第1のトランジスタをオフ状態にすると同時に又はその直前に前記第2のトランジスタをオン状態とすることを含むことを特徴とする薄膜エレクトロルミネセンス回路の駆動方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄膜エレクトロルミネセンス表示装置の薄膜エレクトロルミネセンス駆動回路及びその駆動方法に関する。

〔従来技術とその問題点〕

薄膜エレクトロルミネセンス表示装置（以下、薄膜EL表示装置といふ。）の中でも、二重絶縁構造のAC型は信頼性が高い、動作が安定である

- 3 -

N₂, N₃上で、それぞれ走査線y₁, y₂, y₃を充放電することによって、ELの各セルに走査パルスを印加する。これらのMOSFETのオン・オフ制御は、図示していない制御回路により行なわれる。他方のデータ側では、データ信号に応じて各データ線を選択的に充放電するための回路、すなわちp-MOST P₁₁, P₁₂, P₁₃と、n-MOST N₁₁, N₁₂, N₁₃上で、各データ線x₁, x₂, x₃を駆動する。これらMOSFETの制御は、図示していない制御回路により行なわれる。また、これらp, nのMOSFET IC供給すべき電源は、スイッチング方式の駆動用電源回路20より得られる。この電源回路は、電源V_D（電源電圧をV_Dとする。）IC継続接続されたスイッチング用n-MOST N₂₁と、電源V_B（電源電圧をV_BとしてV_B > V_Dである。）IC継続接続されたスイッチング用p-MOST P₂₁とのOR接続された回路で構成される。

かかる構成による従来のEL駆動回路の動作タイミング図を第7図に示す。動作パルスは、ダイ

等の特徴を有し、製品化の可能性の高いデバイスとして有望視され、一部では既に製品化もされていている。

このような薄膜ELを駆動するためのドライバとして、第6図に示すようなブッシュブル型の駆動回路が、低消費電力動作、高速動作ができる等の特徴を生かせるため検討されている。このような特徴を生かし、かつ駆動系を簡単にし、低コスト化できる駆動用電源回路20（既に特願昭59-156125号で提案されている。）も、同図に示されている。

第6図に示した構成において、C_{BL}はELの発光セルに対応する。このセルは、走査線y₁～y₃、データ線x₁～x₃が交差する交点部に、Y₂₀₈等の絶縁膜を介して形成される。これらの走査線、データ線を駆動するため、走査側駆動回路21、データ側駆動回路22が設けられる。走査側では、pチャネル高耐圧MOSFET（以下、p-MOSFETという。）P₁, P₂, P₃とnチャネル高耐圧MOSFET（以下、n-MOSTという。）N₁,

- 4 -

レクト駆動による順次走査を行うためのパルス列として示されている。各データ線を選択的に駆動する期間（T_B'を除く期間）では、n-MOST N₂₁がオン状態に設定されて、電源線A IC V_Dの電圧が供給される。この時、p-MOST P₂₁はオフ状態に制御されるので、電源V_B系は電源線Aから切り離されることになる。これらの制御は、n-MOST N₂₁, p-MOST P₂₁のゲートへ印加される制御パルスφ_B, φ_B'（TTLあるいはMOSレベルの信号）により行なわれる。

このデータ線駆動期間では、次のようにして各ELのセルに書き込み動作が行なわれる。まず、期間T_Bでは、p-MOST P₁をオンにして、走査線y₁ IC振幅電圧V_Bの書き込みパルスを印加し、一例としてデータ側駆動回路22の各p-MOST P₁₁, P₁₂, P₁₃をオンにして振幅V_Dの非選択パルスを各データ線x₁, x₂, x₃に供給する。この場合、ELの各セル（y₁, x₁），（y₁, x₂），（y₁, x₃）には、発光のしきい値電圧

- 6 -

V_s 以下の電圧 $V_s - V_D$ しか印加されないので、これらのセルは発光しない。もちろん、走査線 y_2, y_3 ICに対応するセルも、 V_D の電圧 ($V_D < V_s < V_B$) しか印加されないので発光しない。

次に、期間 T_2 では同様にして走査線 y_2 に走査パルスが印加され、一例として、データ線 x_1, x_3 IC非選択パルスが印加される。データ線 x_2 には、n-MOST N12がオンになるため、非選択パルスが印加されない。この時、セル (y_2, x_2) ICのみ書き込みパルス V_B が印加され、他のセルには V_s 以下の電圧 ($V_B - V_D$ あるいは V_D) しか印加されないため、当セル (y_2, x_2) だけがパルスの立ち上り時に発光する。また、期間 T_3 では期間 T_1 と同様に、一例としてどのセルにも V_s 以下の電圧しか印加されないようなパルス列が供給され、9個のセル共に発光しない。この場合、走査側駆動回路21では、p-MOST P3のみがオンになる。他方のデータ側駆動回路22では、p-MOST P11, P12, P13がすべてオン状態になる。このようにして、所望のセルに書

- 7 -

めることができる。

次に、再びn-MOST N21を制御パルス ϕ_B によりオン状態にして、データ線を選択的に駆動する期間に入る。この場合、次のような問題が生じる。すなわち、 T_2' の期間で V_B の電圧に充電されていた電源線Aの電荷は、n-MOST N21をオンにした瞬間に、電源 V_D を通って逆方向電流として流れながら放電されるのである。最終的には、電源線Aの電位が V_B (200V程度) から V_D (50~60V程度) に低下するまで放電が行なわれる。この時、通常は電源線Aに負荷する容量を $0.01 \mu F$ 以下に抑えられるが、電位差が大きい (140~150V) ので、瞬間に大きな電流 (数百mA~1A程度) が電源 V_D に流れることになる。このように大きな逆方向電流を流せる電源は、大きな電圧を取り扱えない (通常30~35V程度) ので、200V程度の耐圧を有する電源 V_D 系を構成しようとすると、相当コスト高になってしまふ。しかも、複数個の電源を直列に接続して成るので、電源系の大きさが

- 9 -

込みを行い全走査線 (ドットマトリックス型の場合、通常は数本~千本程度) を順次走査する。

次に、p-MOST P21を制御パルス ϕ_B' によりオン状態にして、電源線Aに V_B の電圧を供給するリフレッシュ駆動期間 (T_2') に入る。この期間では、n-MOST N21は制御パルス ϕ_B によりオフ状態に設定される。従って、電源線Aは、 V_B に充電されることになる。この T_2' の一部の期間 T_B において、すべてのセルにリフレッシュパルスを印加して、書き込まれたセルに再発光をさせる。この時、書き込み時にELの絶縁膜と発光層との界面にトラップされた電子の数が正孔に比して多いあるいは少い (分極により電界が生じる) 選択セルのみに、分極による電界と V_B の電圧による電界の総和分 ($> V_s$) が印加されるので、選択セルのみが再発光する。

このようにすると、一リフレッシュ走査期間内で選択セルを2度発光させられるだけでなく、次のリフレッシュ走査期間に再書き込みを行っても充分な発光が得られ、継続的にELセルに発光せし

- 8 -

大きくなってしまう。

このような問題を無くすために、第8図に示した薄膜EL駆動回路の電源供給部の如く、電源線Aから抵抗Rを介して別なスイッチング用n-MOST N22を設け、電源線Aに充電された電荷を一度放電させてから、制御パルス ϕ_B を制御パルス ϕ_B' より遅く立ち上げることにより遅れて電源 V_D 系をオン状態とするという方法 (第7図の ϕ_B 波形の点線の部分) も考えられる。

しかし、この場合、この放電期間で、電源 V_D からn-MOST N21内のダイオード (図に点線で示す。) 及び抵抗を介して接地電位レベルに電流が流れるので、電力損失が大きくなってしまう。また、かかる放電動作をさせるための期間が余分に必要となり、回路構成も複雑になる。

このように、従来の薄膜EL駆動回路では、電源に高価なものを用いなければならず、その大きさも大きなものになってしまふという欠点があった。これは、CRTと競合するために不利な条件であり、本来備えている小形化、低コスト化の可

- 10 -

能性を損ねるものである。

〔発明の目的〕

本発明の目的は、このような従来の欠点を除去することにより、小形化、低コスト化、低消費電力化された薄膜エレクトロルミネセンス駆動回路及びその駆動方法を提供することにある。

〔発明の構成〕

本発明の薄膜エレクトロルミネセンス駆動回路は、走査側駆動回路とデータ側駆動回路とを有し薄膜エレクトロルミネセンス表示装置の走査線及びデータ線を順次駆動するブッシュブル型の薄膜エレクトロルミネセンス駆動回路において、前記データ側駆動回路の駆動用電源回路が、第1の電源に接続された一導電型の第1のトランジスタをオンすることによりリフレッシュパルス用として前記第1の電源を供給する第1の電源供給手段と、前記第1の電源電圧よりも低い電源電圧を有する第2の電源と該第2の電源電圧よりも高いツエナー電圧を有するツエナーダイオード列との並列接続回路に接続された反対導電型の第2の

- 1 1 -

続された p-MOS T とからなる。) と、データ線を選択的に駆動するために設けた従来の電源供給手段(例えば、電源 V_B と直列に接続された n-MOS T) とを OR 接続した電源回路の他に、電源線に充電された $V_B - V_D$ の電位に相当する電荷を放電せしめるためのツエナーダイオード列を電源 V_D と並列に設け、電源 V_D に大きな逆方向電流を流さないようにしたものである。そして、この放電は、リフレッシュ駆動を行うための第1の電源供給手段を構成する例えは p-MOS T がオンからオフに切り換わった時と同時又はその直前にデータ線を選択的に駆動するための第2の電源供給手段を構成する n-MOS T をオンにして行うように駆動される。このようにして構成した駆動用電源回路をデータ側駆動回路の電源端子に接続する。こうすると、安価で、構成の簡単なデータ側駆動回路からなる薄膜 E L 駆動回路及びその駆動方法が実現できる。

〔実施例〕

以下、本発明の実施例について図面を参照して

- 1 3 -

トランジスタをオンすることにより前記データ側駆動回路に前記第2の電源を供給する第2の電源供給手段との OR 接続回路から成ることから構成される。

又、本発明の薄膜エレクトロルミネセンス駆動回路の駆動方法は、前記本発明の薄膜エレクトロルミネセンス駆動回路の駆動方法であって、リフレッシュパルスをすべての前記データ線に供給するための期間ではリフレッシュパルスの幅よりもやや広い期間内で前記第1のトランジスタをオン状態にし続け、選択的に前記データ線を順次駆動する期間では前記第1のトランジスタをオフ状態にすると同時に又はその直前に前記第2のトランジスタをオン状態とすることを含むことから構成される。

〔本発明の作用・原理〕

本発明の薄膜 E L 駆動回路は、上記の構成で述べた如く、データ側駆動回路の駆動用電源回路を、全データ線を同時にリフレッシュ駆動するための従来の電源供給手段(例えば、電源 V_B と直列接

- 1 2 -

説明する。

第1図は、本発明の第1の実施例を示す薄膜 E L 駆動回路と E L セルとの構成を示す回路図である。同図において、従来例の第6図と同一番号あるいは同一記号は同一構成要素を表わす。また、本発明では、スイッチング用トランジスタとして便宜上高耐圧 MOS FET を用いる例を示すが、機能動作が同じならばバイポーラ等の他の素子であっても差しつかえない。

本実施例では、ブッシュブル型のデータ側駆動回路 22a (p-MOS T P11, P12, P13 と n-MOS T N11, N12, N13 の各対で構成される。) の電源線 A に、外部に設けたスイッチング電源方式の駆動用電源回路 20a の出力を供給する。この駆動用電源回路 20a では、選択的にデータ線に非選択データに対応した駆動パルス(振幅 V_D) を供給するための第2の電源供給手段として、n-MOS T N21 とそのソース部に直列に接続した電源 V_D と電源 V_D に並列に設けたツエナーダイオード ZD1, ZD2, ZD3 を絶縁接続

- 1 4 -

したツエナーダイオード列とからなる駆動回路を設ける。このツエナーダイオード列としては、3個を継続接続した構成を図示したが、個数にとらわれることはない。要は、全部で V_D の電圧よりもやゝ高いツエナーバ電圧 V_Z になるように設定できればよいのである。通常は、 V_D が 50～60 v になるから、24 v, 16 v 等のツエナーバ電圧を有するダイオードを 2～3 個用いることにより構成できる。また、この第 2 の電源供給手段とは別 IC、リフレッシュパルスを全データ線に同時に供給するための第 1 の電源供給手段として、電源 V_R ($V_R > V_D$, リフレッシュパルスの振幅に応じる) と直列にスイッチング用の p-MOST P 21 を設ける。この場合、p-MOST P 21 のソースと電源 V_R の④端子を接続する。そして、これら 2 つの電源供給手段の出力端子、すなわち n-MOST N 21 と p-MOST P 21 の各ドレイン端子を OR 接続して、データ側駆動回路 22 a のプッシュプルドライバの電源線 A に供給する。

次に本実施例の駆動方法を第 2 図に示す動作タ

- 15 -

V_{DD} と同電位のパルスが印加されるので、この p-MOST P 21 はオフ状態になる。従って、電源線 A には低い電圧の電源 V_D が供給される。なお、選択期間 T_1 , T_2 , T_3 だけ n-MOST N 21 をオンにして駆動する方式も考えられる。

このような線順次駆動が終わった後の期間 $T_{R'}$ では、p-MOST P 21 がオン状態になり、スイッチ n-MOST N 21 はオフに変わる。これは、n-MOST N 21 の制御パルス ϕ_B がソース電位のレベル V_{DD} になり、p-MOST P 21 の制御パルス ϕ_B' がソース電位 V_{DD} よりも V_{DD} だけ低い電位レベルに設定されるからである。この場合、電源線 A には電源 V_R から V_Z の電圧が供給される。従って、この $T_{R'}$ の期間内で、p-MOST P 11～P 13 をオンにし、n-MOST N 11～N 13 をすべてオフに設定すれば、データ線 x_1 , x_2 , x_3 には振幅 V_Z のリフレッシュパルスを供給することができる。この時、p-MOST P 21 をオンにする期間 $T_{R'}$ をリフレッシュパルスを供給する期間 T_R よりも少し長く設定した方が、動作の

タイミング図を用いて説明する。ダイレクト駆動モードによる線順次駆動は、次のようにして行なわれる。すなわち、期間 T_1 ～ T_3 では走査側駆動回路 21 の p-MOST P 1, P 2, P 3 を順次オンにしながら、走査線 y_1 , y_2 , y_3 に走査パルスを供給し、データ側駆動回路 22 a の p-MOST P 11, P 12, P 13 を非選択時だけオンにして、データ線 x_1 , x_2 , x_3 に駆動パルスを供給する。第 2 図に示した例では T_2 の期間でデータ線 x_2 を選択するため、この期間だけ p-MOST P 12 をオンにせず、n-MOST N 12 をオン状態に設定する。このような線順次駆動による選択総線への書き込みが全走査線にわたって行なわれる期間 ($T_{R'}$ を除く期間) では、制御パルス ϕ_B を "1" のレベル (n-MOST N 21 のソース電位 V_{DD} を基準にして、 V_{DD} (約 5～10 v) のレベル) に設定し、スイッチング用 n-MOST N 21 をオン状態にして電源線 A に電源 V_D から V_D の電圧を供給する。この時、片方のスイッチング用 p-MOST P 21 の制御パルス ϕ_B' は、そのソース電位

- 16 -

安定性の点で好ましい。なぜなら、電源線 A に負荷する容量を高電圧の振幅で充放電するので、スイッチング時の時間的な余裕をみておく必要があるためである。

このようなりフレッシュ駆動期間が終了すると、再びデータ線を選択的に駆動する期間に入る。すなわち、n-MOST N 21 のゲート・ソース間に振幅 V_{DD} の制御パルス ϕ_B が加わると、n-MOST N 21 がターンオン状態となる。この時、 V_D (50～60 v) よりやや大きいツエナーバ電圧 V_Z ($V_Z = V_D + \text{数} v$) に設定されたツエナーダイオード列 ZD 1～ZD 3 の両端には、瞬間に V_R (~200 v) の電圧が印加されるため、ツエナーダイオード列は瞬時にツエナーブレークダウンを起こし、カソードからアノードに向けて、電流が流れる。このツエナーダイオードとしては、放電すべき電荷に応じた電流容量を持った素子を選んでやればよい。従って、電源線 A に充電されていた電荷 (V_R の電位に対応した電荷) は放電され、電源線 A の電位は V_Z にまで低下する。こ

- 17 -

-703-

- 18 -

の場合、 $V_Z - V_D$ の電位差（数 v）に対応した電荷がまだ電源線 A に充電されているが、電荷量が少ないので電源 V_D にわずかな逆方向電流として流れ、すぐに V_D のレベルにまで放電されてしまう。電源 V_D に流れることの逆方向電流は、小さいのでほとんど電源の特性に影響を与えない。このようにして放電を起こさせるために、電流容量が不足するならば、ツエナーダイオード列を複数個並列に構成してもよい。また、前述の V_B から V_Z までの電位変化に対応した放電電流は、電源 V_D を介して流れることはなく、必ずツエナーダイオードがツエナーブレークダウンを起こすことによって流れ。なぜなら、電源のインピーダンスの方が、ツエナーブレークダウンを起こす時のダイオードのインピーダンスよりも大きいからである。かかる動作により、 $T_{R'}$ を除く期間では再び電源線 A の電位は V_D のレベルに設定され、線順次駆動を行える状態となる。

上記の駆動方法において、リフレッシュ駆動期間 $T_{R'}$ が終了して、再びデータ線を選択的に駆動

- 19 -

L 駆動回路の一部の構成を示したものである。同図において、第 1 図と同一番号あるいは同一記号は同一構成要素を表わし、他の駆動系及び EL セルに関しては第 1 図と同じ構成なので省略してある。本実施例においても、EL を線順次で駆動する方式が適用される。駆動の動作タイミング図は第 1 図の場合と全く同じである。

本実施例ではデータ線全面をリフレッシュ駆動するための電源 V_B を供給するために、リフレッシュパルス供給用の電源を $V_B - V_D$ と V_D とに分け、 $V_B - V_D$ の電源を電源 V_D と直列に接続して設け、他の構成は、第 1 図と同じである。この場合、p-MOST P21 をオンにすると、電源線 A には V_B の電源電圧が供給される。この状態で、p-MOST P11, P12, P13 をオンすることにより、リフレッシュパルスがデータ線 x_1 , x_2 , x_3 に供給される。逆に、n-MOST N21 をオンにすれば、 $V_B - V_D$ の電位分の電荷は ZD1 ~ ZD3 のツエナーダイオード列を介して第 1 図に示した回路の動作と同様にして放電され、

- 21 -

する期間に入るとき、制御パルス ϕ_R は制御パルス ϕ_R と同時か又はその直前（第 2 図の ϕ_R 波形の点線で示す部分）に立ち上げる。かくして、確実に電源線 A に蓄積されたほとんどの電荷はツエナーダイオード列を通して放電されることになる。なお、制御パルス ϕ_R を制御パルス ϕ_R' の直前に立ち上げた場合には、p-MOST P21 にもツエナーダイオード列のツエナー電流が流れるので、その時間はツエナー電流により p-MOST P21 が破壊されない極く短い時間、例えば、数十~数百 nsec. とする必要がある。

本実施例によれば、スイッチング方式の駆動用電源回路を簡単に構成できるので、EL 駆動装置をコンパクトに、かつ低コストに実現することができる。これは、ツエナーダイオードが低価格に入手でき、しかも 2 ~ 3 個用いてもほとんど占有面積を増やすことがないからである。更に放電回路を付加した従来例のように、余分の時間を必要とすることもない。

第 3 図は、本発明の第 2 の実施例となる薄膜 E

- 20 -

電源線 A の電位は V_D に設定される。本実施例においても、電源 V_D に大きな逆方向電流を流すことがないので、通常の安価な電源を使うことができる。すなわち、得られる効果は第 1 の実施例の場合と同じである。

第 4 図は、本発明の第 3 の実施例となる薄膜 E L 駆動回路の一部の構成を示したものである。同図において、第 1 図と同一番号あるいは同一記号は同一構成要素を表わす。本実施例では、データ線を選択的に駆動するための第 2 の電源供給手段を、スイッチング用の n-MOST N21 のドレインに電源 V_D 及びツエナーダイオード列 ZD1 ~ ZD3 を直列接続する構成とした。さらに、電源 V_D の(+)端子とツエナーダイオード ZD1 のカソードとをリフレッシュパルス供給用の第 1 の電源供給手段を構成する p-MOST P21 のドレインに接続し、電源線 A を駆動しうる構成とした。この場合でも、第 1 の実施例と同様な動作を行い、同じ効果が得られる。

第 5 図は、本発明の第 4 の実施例となる薄膜 E

- 22 -

L駆動回路の一部の構成を示したものである。同図において、第1図と同一番号あるいは同一記号は同一構成要素を表わす。本実施例では、リフレッシュパルス供給用の第1の電源供給手段を、P-MOS T P 21のドレインと電源V_Bの \ominus 端子を接続した構成により実施する。そして、データ線を選択的に駆動するための第2の電源供給手段を、第3の実施例と全く同じに構成した。さらに、これら2つの電源供給手段をOR接続して、電源線Aを駆動するようにしている。この場合も、第1の実施例と同様な動作を行い、同じ効果を得ることができる。

〔発明の効果〕

以上、詳細説明したように、本発明によれば、上記の構成により、高価な電源を複数個用いる必要性もないのに、コンパクトにデータ側駆動用電源回路を構成することができ、従来と比べて大幅なコスト削減と、駆動回路系を含めた薄膜EL装置のコンパクト化に大きく貢献でき、さらに、ツエナーダイオード列を設けたことにより、瞬時に

- 23 -

V_B ……電源、x₁～x₃ ……データ線、y₁～y₃ ……走査線、ZD₁～ZD₃ ……ツエナーダイオード、φ_B、φ_{B'} ……制御パルス、R ……抵抗。

代理人弁理士 内原晋

データ線を選択的に駆動する書き込み動作期間に入ることが可能となり、より高速動作が可能となると共に、ELパネルが大面積化しても十分対応できるところの薄膜EL駆動回路及びその駆動方法が得られる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す回路図、第2図はその動作タイミング図、第3図、第4図、第5図はそれぞれ本発明の第2、第3、第4の実施例を示す部分回路図、第6図は従来の薄膜EL駆動回路の一例を示す回路図、第7図はその動作タイミング図、第8図は従来の薄膜EL駆動回路の他の一例の部分回路図である。

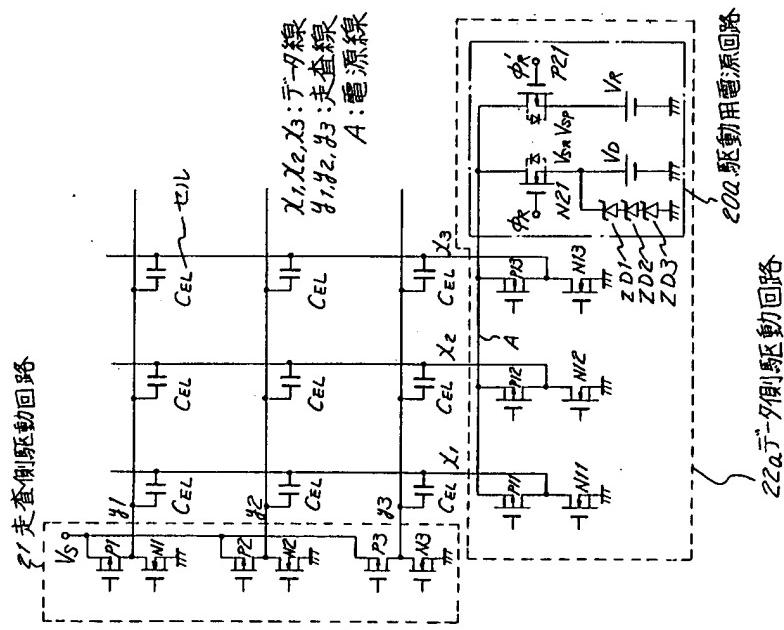
20, 20a ……駆動用電源回路、21 ……走査側駆動回路、22, 22a ……データ側駆動回路、A ……電源線、C_{SL} ……セル、N₁～N₃、N₁₁～N₁₃、N₂₁、N₂₂ ……nチャネルMOSトランジスタ、P₁～P₃、P₁₁～P₁₃、P₂₁ ……pチャネルMOSトランジスタ、V_D、

- 24 -

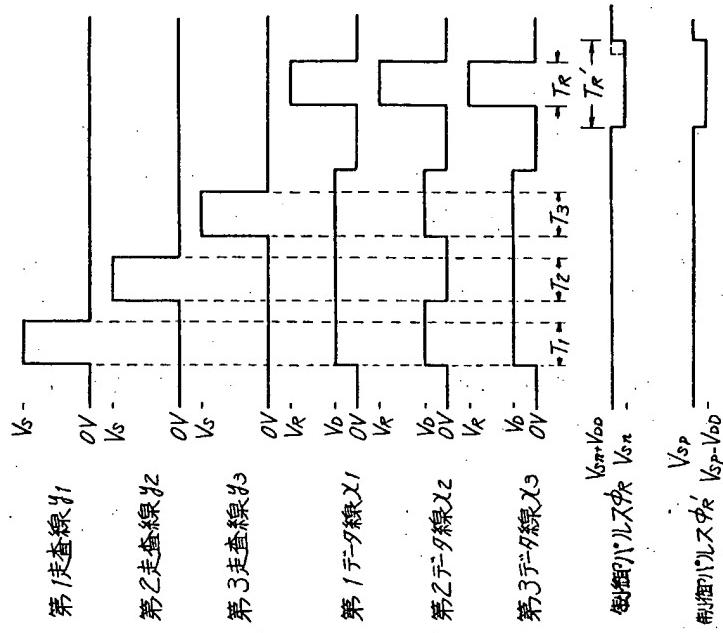
- 25 -

-705-

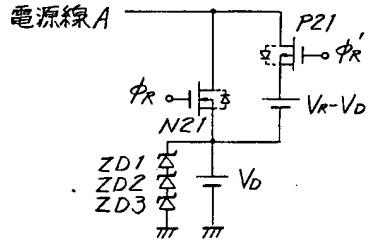
第1回



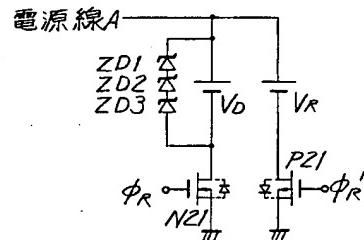
第2回



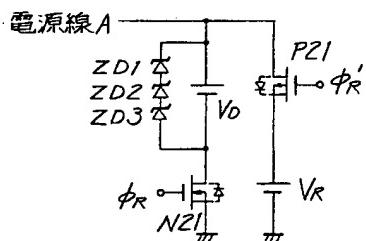
第3図



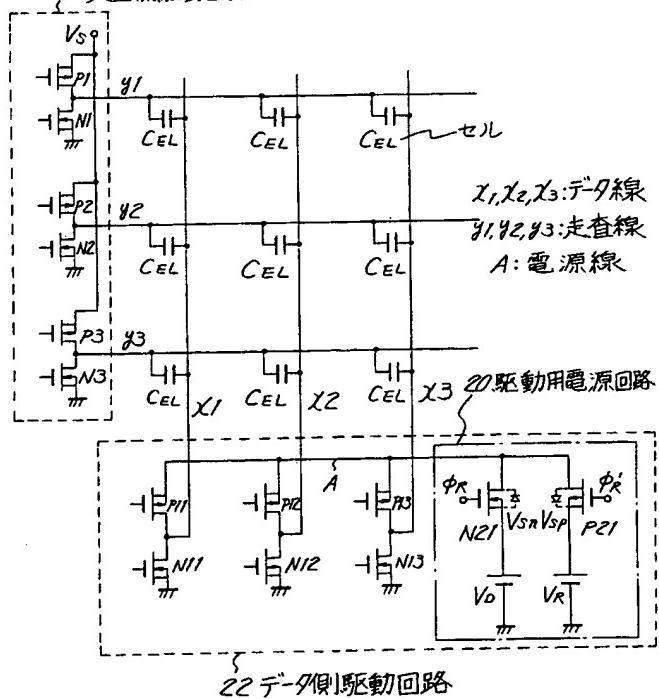
第5図



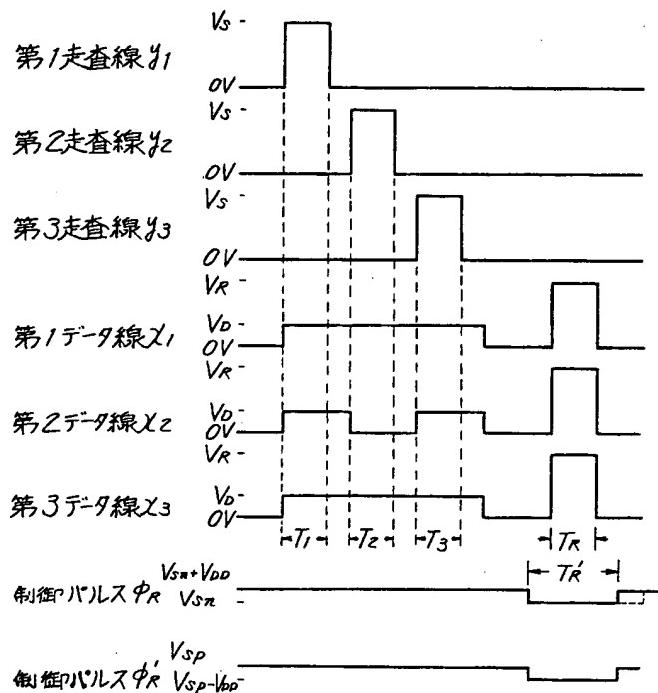
第4図



第6図

 φ' 走査側駆動回路

第7図



第8図

